

Attorney's Docket No. 5649-958

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Hee-Jueng Lee; Ki-Chang Yoon

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: METHODS OF FABRICATING READ ONLY MEMORY DEVICES INCLUDING
THERMALLY OXIDIZED TRANSISTOR SIDEWALLS, AND DEVICES SO
FABRICATED

February 28, 2002

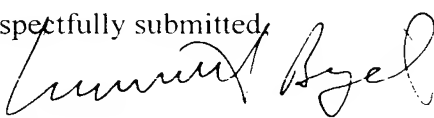
Box Patent Application
Commissioner for Patents
Washington, DC 20231

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean priority Application No. 2001-35701, filed June 22, 2001.

Respectfully submitted,


Mitchell S. Bigel
Registration No. 29,614

Correspondence Address:



20792

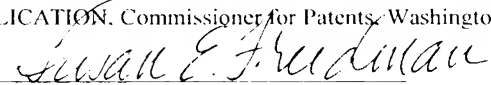
PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. FI 920740544 US

Date of Deposit: February 28, 2002

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: BOX PATENT APPLICATION, Commissioner for Patents, Washington, DC 20231.


Susan E. Freedman

Date of Signature: February 28, 2002

jc997 U.S. PRO
10/085369
02/28/02



대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 35701 호
Application Number PATENT-2001-0035701

출원년월일 : 2001년 06월 22일
Date of Application JUN 22, 2001

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2001 년 10 월 23 일

특허청장

COMMISSIONER

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.06.22
【발명의 명칭】	반도체 롬 장치 형성 방법
【발명의 영문명칭】	METHOD OF FORMING READ ONLY MEMORY CELL
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이희중
【성명의 영문표기】	LEE, HEE JUENG
【주민등록번호】	670101-1038011
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 신명아파트 632동 905호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤기창
【성명의 영문표기】	YOUN, KI CHANG
【주민등록번호】	621217-1573317
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 삼익아파트 3232동 1403호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

1 면 1,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

9 항 397,000 원

【합계】

427,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 기판 상에 게이트 절연막을 형성하는 단계, 제1 도전층, 캡핑막을 차례로 적층하는 단계, 포토레지스트 패턴을 형성하고 이를 식각 마스크로 하여 캡핑된 제1 도전층 라인 패턴을 형성하는 단계, 라인 패턴을 이온주입 마스크로 기판에 이온주입을 실시하는 단계, 라인 패턴을 제외한 기판 상에 열산화막을 형성하여 열산화막 아래 매몰된 도핑층을 위치시키는 단계, 라인 패턴의 캡핑막을 제거하는 단계, 제2 도전층을 적층하고 라인 패턴의 제1 도전층을 함께 패터닝하여 게이트 전극을 포함하는 게이트 라인을 형성하는 단계를 구비하여 이루어지는 반도체 롬 장치 형성 방법이 개시된다.

【대표도】

도 10

【명세서】**【발명의 명칭】**

반도체 롬 장치 형성 방법 {METHOD OF FORMING READ ONLY MEMORY CELL}

【도면의 간단한 설명】

도1은 기존의 플랫 셀 타입 (flat cell type) 마스크 롬의 셀 영역 구성을 나타내는 평면도,

도2, 도3, 도4, 도5는 각각 도1을 I I, II II, III III, IV IV의 선에 따라 절단한 측단면을 나타내는 단면도들,

도6 내지 도9는 종래의 롬 장치에서 셀 트랜지스터를 형성하는 공정의 중요 단계를 나타내는, 게이트 라인 위치에서 게이트 라인 방향으로 절단한 공정 측 단면도들,

도10 내지 도13은 본 발명에 따라 롬 장치에서 셀 트랜지스터를 형성하는 공정의 중요 단계를 나타내는, 게이트 라인 위치에서 게이트 라인 방향으로 절단한 공정 측 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 장치의 하나인 롬(ROM: Read Only Memory) 형성 방법에 관한 것으로, 보다 상세하게는 고집적 롬 셀(cell) 구조의 형성 방법에 관한 것이다.

- <6> 롬은 대표적 비휘발성 메모리의 하나로 주문 회로에 따라 일단 구성되면 재기입이 불가능하고, 읽기 동작만이 가능한 메모리 장치이다. 특히, 쓰기 동작이 없으므로 회로를 간단하게 구성할 수 있고, 하나의 셀이 하나의 트랜지스터로 형성되므로 롬은 고집적화가 용이한 반도체 장치로 알려져 있다.
- <7> 롬도 반도체 장치의 전반적 고집적화 경향에 따라 단위 면적당 소자 형성 갯수가 늘어날 것이 요구되며, 롬을 구성하는 셀 내의 여러 패턴의 선폭을 줄이는 것이 요구되고 있다. 선폭 축소는 반도체 장치의 고집적화와 일부 특성의 향상을 가져올 수 있으나, 한편으로, 많은 공정상의 문제점을 유발시킨다. 가령, 도선의 폭이 줄면서 도선의 저항이 증가하고, 주변부 기생 용량이 상대적으로 증가하며, 공정 마아진 감소에 따라 수율이 떨어질 수 있다.
- <8> 마스크 롬에서 셀 영역의 면적을 줄이기 위해 플랫 셀 타입을 채택하는 경우, 매몰 채널(buried channel)을 채택함에 따라 공정상에 게이트 절연막이 채널 영역의 특정 부위에서 얇아질 수 있다. 이런 특정 점이 발생할 경우 장치의 신뢰성이 떨어지고, 불량률이 높아지는 문제점이 있다.
- <9> 도1은 기존의 플랫 셀 타입 (flat cell type) 마스크 롬의 셀 영역 구성을 나타내는 평면도이며, 도2, 도3, 도4, 도5는 각각 도1을 I I, II II, III III, IV IV의 선에 따라 절단한 측단면을 나타내는 단면도들이다.
- <10> 도1 내지 도5를 참조하면, 셀 어레이 영역 전체는 활성영역 만으로 형성된다. 즉, 소자 분리막이 형성되지 않는다. 상하로는 기판에 매몰된 고농도 N형 불순물 도핑층(20)이 상호 평행한 라인 형태로 이루어진다. 기판 표면은 전체가 절연막으로 덮여 있다. 이 절연막은 게이트 절연막으로 작용하거나, 특히, 매몰된

고농도 N형 불순물 도핑층(20) 위에는 두겹게 형성된 절연막(60)은 매몰된 도핑층(20)과 게이트 라인(10)을 절연시키는 작용을 한다. 좌우로는 게이트 라인(10)이 상호간에 평행하게 형성된다. 라인 형태의 매몰된 고농도 N형 불순물 도핑층(20) 사이사이에 존재하는 또 다른 라인 형태의 영역과 게이트 라인(10)이 교차하는 격자상의 영역에는 게이트 절연막 위에 제1 폴리실리콘층 패턴(50)이 존재한다. 제1 폴리실리콘층 패턴(50)은 게이트 라인(10) 전체에 걸쳐 존재하는 제2 폴리실리콘층과 함께 격자상의 영역에서 게이트 전극을 이룬다. 게이트 전극을 제외한 영역에서 게이트 라인(10)은 제2 폴리실리콘층만으로 이루어진다. 제1 폴리실리콘층 패턴(50)으로 덮이는 게이트 전극들 가운데 도1의 참조번호 40과 같은 일부 영역에는 패턴 마스크를 통한 채널층 이온주입이 되어 있다. 이런 이온주입에 의해 롬에 대한 프로그램이 이루어진다.

<11> 게이트 라인(10) 위로 PECVD 산화막(70) 적층, BPSG막 적층(80) 등을 통해 평탄화된 층간 절연막을 형성한다. 평탄화된 층간 절연막 위에 금속 배선(30)이 형성된다. 본 예에서 금속 배선(30)은 매몰된 고농도 N형 불순물 도핑층(20)이 이루는 라인 패턴 위로 평행하게 매 2 라인 패턴마다 하나씩 형성되어 있다. 금속 배선(30) 위로 보호막(90)이 형성된다. 금속 배선(30)은 주된 비트라인을 이루게 되며, 서브 비트라인(sub bit-line)인 금속 배선 아래쪽의 매몰된 고농도 N형 불순물 도핑층(20)과 선택된 셀 트랜지스터(미도시) 주변에서 연결된다.

<12> 따라서, 특정 메모리 셀이 선택되기 위해서는 선택된 셀 트랜지스터를 지나는 게이트 라인(10)에 전압이 인가되고, 선택된 셀 트랜지스터의 드레인 영역을 이

루는 매몰된 고농도 N형 불순물 도핑층(20)과 연결된 주된 비트라인에 전압이 인가되어야 한다. 이때 소오스 영역을 이루는 인근의 매몰된 고농도 N형 불순물 도핑층(20)은 영전위로 통합된다. 선택된 셀 트랜지스터의 게이트 전극 하부의 채널 영역의 스레숄드 전압이 게이트 라인(10)에 인가되는 전압보다 높게 프로그램되어 있으면 셀 트랜지스터는 닫힌 상태(OFF state)이므로 비트라인은 방전되지 않아 '닫힘'으로 판독된다. 반대로 선택된 셀 트랜지스터의 채널 영역의 스레숄드 전압이 게이트 라인(10)에 인가되는 전압보다 낮게 프로그램 되면 셀 트랜지스터는 '열림'상태가 되고 비트라인은 방전되어 '열림'으로 판독된다.

<13> 도6 내지 도9는 종래의 롬 장치에서 셀 트랜지스터를 형성하는 공정의 중요 단계를 나타내는, 게이트 라인 위치에서 게이트 라인 방향으로 절단한 공정 측 단면도들이다.

<14> 도6을 참조하면, 먼저, 반도체 기판(100) 상에 100 옴스트롬 정도의 게이트 절연막(110)이 형성된다. 제1 폴리실리콘층(120)이 200 내지 1000 옴스트롬 두께로 적층된다. 실리콘 질화막으로 캡핑막(130)이 형성되고, 그 위에 실리콘 산화질화막으로 반사 방지막(140)이 형성된다. 패터닝을 통해 반사 방지막(140), 캡핑막(130), 제1 폴리실리콘층(120)으로 이루어지는 라인 패턴이 형성된다. 패터닝 과정에서 과식각에 의해 라인 패턴 바깥 쪽의 게이트 절연막(110) 일부 두께가 제거된다.

<15> 도7을 참조하면, 실리콘 질화막이 100 내지 500 옴스트롬 두께로 라인 패턴 위로 콘포말하게 적층되고 전면 이방성 식각을 통해 제거되면서 제1 폴리실리콘층

과(120) 캡핑막(130)으로 이루어진 라인 패턴 측벽에 스페이서(160)가 형성된다. 이때, 과식각을 통해 스페이서(160) 일부 두께가 제거되면서 반사 방지막 및 기판을 덮는 게이트 절연막은 제거된 상태다. 10^{15} 이온/cm² 정도의 고도즈로 N형 불순물 이온이 전면에 걸쳐 주입된다. 이온주입 에너지는 30KeV 이하로 낮게 가져가며 기판 표층에 고농도 N형 불순물 도핑층(150)이 제1 폴리실리콘층을 포함하는 라인 패턴들 사이에 또 다른 라인 형태로 형성된다.

<16> 도8을 참조하면, 기판 열산화를 실시한다. 캡핑막(130)으로 덮인 라인 패턴을 제외한 기판(100) 표층에 열산화막(170)이 형성된다. 기판(100) 표층이 앞선 이온주입으로 인하여 빠르게 열산화되면서 부피 팽창을 한다. 따라서, 라인 패턴의 제1 폴리실리콘층(120) 아래의 게이트 절연막(111)보다 두껍게 형성된다. 기판 표층에 이온주입된 불순물들은 열산화막(170) 아래로 이동되어 매몰된 고농도 N형 불순물 도핑층(151)을 형성하게 된다. 제1 폴리실리콘층(120)은 캡핑막(130) 및 스페이서(160)로 덮여 산화되지 않는다.

<17> 도9를 참조하면, 라인 패턴에서 제1 폴리실리콘층(120)을 덮은 스페이서(160)와 캡핑막(130)을 습식 식각을 통해 제거하고, 제2 폴리실리콘층(180)을 적층한다. 제2 폴리실리콘층(180) 및 라인 패턴을 이루는 제1 폴리실리콘층(180)을 패터닝하여 게이트 전극을 포함하는 게이트 라인을 형성한다. 이후의 공정은 통상적인 CMOS 공정과 유사하게 이루어지며, 이 분야의 통상의 지식을 가진 기술자들에게 잘 알려져 있다.

<18> 이런 종래의 플랫 셀 타입 롬(flat cell type ROM) 제조 방법에 따르면, 제1 폴리실리콘층(120) 패턴 하부의 게이트 절연막(111)과 매몰된 불순물

도핑층(151)을 덮고 있는 열산화막(170') 사이에 스페이서가 차지하던 영역 V에 존재하는 게이트 절연막의 신뢰성이 떨어지는 문제가 있다. 좀 더 설명하면, 스페이서가 차지하던 영역 V의 기판 표층 산화막은 스페이서가 제거되고, 게이트 폴리실리콘층이 채워져 결국 게이트 절연막으로 작용한다. 제1 폴리실리콘층 패턴 하부의 게이트 절연막은 최초 형성 후 공정 전반을 통해 보존된다. 그러나, 스페이서 하부의 산화막은 라인 패턴을 형성하는 단계에서 일부가 식각되어 얇아지고, 매몰된 도핑층을 형성하는 열산화 과정에서 부분적으로 두꺼워지며, 스페이서를 제거하면서 다시 식각되어 얇아지는 여러 과정을 통해 변이 요소가 크다. 가령, 스페이서 질화막을 제거할 때 식각 조건의 변이에 따라 질화막 하부의 산화막도 40 내지 80 옹스트롬 정도가 침해가 될 수 있다. 이 두께는 게이트 절연막의 목표 두께인 100 옹스트롬 정도에 대해 큰 비중을 차지하는 것이다. 결국, 스페이서가 차지하던 영역 V의 게이트 절연막은 그 막성과 두께에서 신뢰성이 저하되어 스페이서가 제거된 공간을 채우는 제2 폴리실리콘층(180)과 매몰된 도핑층(151) 사이의 절연 파괴, 기타 공정 불량을 유발하거나, 진행성 불량을 초래하는 문제가 있다.

<19> 또한, 종래의 기술에 의하면 제1 폴리실리콘을 보호하기 위한 캡핑막, 스페이서막 형성을 위한 공정이 많아진다. 그리고, 노광의 정확도를 높이기 위해 사용하는 반사 방지막은 실리콘 산화질화막으로 이루어지나 불안정한 특성을 가진다. 따라서, 파티클의 원인이 되거나, 매몰된 도핑층 형성을 위한 기판 열산화 단계에

서 하부의 캡핑막과 작용하여 다른 화합물이 되면 캡핑막을 제거하는 단계에서 잔류하게 된다. 이 경우, 이후 게이트 라인을 패터닝 하는 단계에서 제1 폴리실리콘층에 대한 블로킹층(Blocking layer)로 작용하여 게이트 라인 사이의 단락을 초래할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 상술한 종래의 플랫 셀 타입 롬을 형성하는 방법에 따른 문제점을 제거하기 위한 것으로, 공정을 단순화할 수 있고, 게이트 라인 사이의 단락을 방지할 수 있는 플랫 셀 타입 반도체 롬 장치 형성 방법을 제공하는 것을 목적으로 한다.

<21> 본 발명은 또한, 형성 과정에서 스페이서 사용에 따라 게이트 절연막 일부에 신뢰성이 약한 부분이 생기는 것을 방지할 수 있는 플랫 셀 타입 반도체 롬 장치 형성 방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<22> 상기 목적을 달성하기 위한 본 발명은, 반도체 기판 상에 게이트 절연막을 형성하는 단계, 제1 도전층, 캡핑막을 차례로 적층하는 단계, 포토레지스트 패턴을 형성하고 이를 식각 마스크로 하여 캡핑된 제1 도전층 라인 패턴을 형성하는 단계, 라인 패턴을 이온주입 마스크로 기판에 이온주입을 실시하는 단계, 라인 패턴을 제외한 기판 상에 열산화막을 형성하여 열산화막 아래 매몰된 도핑층을 위치시키는 단계, 라인 패턴의 캡핑막을 제거하는 단계, 제2 도전층을 적층하고

라인 패턴의 제1 도전층을 함께 패터닝하여 게이트 전극을 포함하는 게이트 라인을 형성하는 단계를 구비하여 이루어진다.

<23> 본 발명에서, 캡핑막 적층 뒤에 노광 공정의 정밀성을 위해 반사 방지막을 더 적층하여 사용할 수 있다. 이때, 반사 방지막으로는 포토레지스트 패턴과 함께 제거될 수 있는 유기 반사 방지막을 사용하는 것이 바람직하다. 제1 도전막과 제2 도전막은 통상 도핑된 폴리실리콘막으로 이루어진다.

<24> 본 발명에서 캡핑막은 산소 배리어의 역할을 하면서 실리콘 산화막 및 폴리실리콘층과 식각 선택비를 가질 수 있는 실리콘 질화막으로 이루어지는 것이 통상적이다. 캡핑막의 패터닝을 위해서 캡핑막 위에 하드 마스크로 얇은 산화막을 형성하여 사용하고 캡핑막 제거 전에 제거하는 방법을 이용할 수 있다.

<25> 이하 도면을 참조하면서 실시예를 통해 본 발명을 상세히 설명하기로 한다.

<26> 도10을 참조하면, 반도체 기판(100)에 게이트 절연막(110)을 형성한다. 게이트 절연막(110)은 실리콘 열산화를 이용하여 100 옹스트롬 두께로 형성한다. 게이트 절연막(110) 위에 CVD를 이용하여 제1 폴리실리콘층(120')을 수 백 옹스트롬 두께로 형성하고, 실리콘 질화막을 캡핑막으로 수백 옹스트롬 두께로 형성한다. 캡핑막 위에 패터닝의 정밀성을 높이기 위해 유기 반사 방지막을 적층한다.

- <27> 유기 반사 방지막 위에 통상의 리소그래피 공정을 이용하여 포토레지스트 패턴(143)을 형성한다. 포토레지스트 패턴(143)을 식각 마스크로 식각하여 패턴닝된 유기 반사 방지막(141)과 캡핑막(130)을 형성한다.
- <28> 도10 및 도11을 참조하면, 애싱 등을 통해 포토레지스트 패턴(143)과 유기 반사 방지막 패턴(141)을 제거한다. 캡핑막(130)을 식각 마스크로 제1 폴리실리콘층(120')을 식각하여 캡핑된 라인 패턴 형태의 제1 폴리실리콘층(120)을 형성한다. 이때 기판을 덮는 게이트 절연막은 제거되지 않도록 식각 선택비를 충분히 높인다. 라인 패턴을 이온주입 마스크로 삼아 도면의 화살표와 같은 고농도 이온주입을 실시한다. 종래의 경우와 달리 라인 패턴의 측벽에는 실리콘 질화막 스페이서가 형성되지 않는다. 따라서, 캡핑막(130)으로 사용하는 실리콘 질화막의 두께를 종래의 700 옹스트롬 정도에서 200 내지 300 옹스트롬 정도로 줄일 수 있다. 이온주입 물질로는 비소(As:arsenic)를 많이 사용하며, 통상 30KeV 정도의 에너지와 10^{14} 이온/cm² 이상의 고도즈(dose)량으로 이온주입을 실시한다.
- <29> 도11 및 도12를 참조하면, 실리콘 질화막질의 캡핑막으로 커번된 제1 폴리실리콘층(120) 라인 패턴이 형성되고 그 양쪽에 이온주입이 이루어진 기판에 열 산화를 실시한다. 따라서, 이온주입이 이루어진 기판 표층에는 빠르게 열산화막(173)이 형성되고, 열산화막(173) 아래 매몰된 이온주입층, 즉 고농도 불순물 도핑층(151)이 형성된다. 이때, 라인 패턴의 캡핑막(130)으로 보호되지 않는 제1 폴리실리콘층(123) 측벽과 모서리는 기판 표층과 함께 산화된다.

<30> 도12 및 도13을 참조하면, 실리콘 질화막으로 이루어진 라인 패턴의 캡핑막(130)을 인산(H_3PO_4) 습식 식각을 통해 제거한다. 기판(100)에 전반적으로 제2 폴리실리콘층(181)을 적층한다. 통상의 패터닝 과정을 통해 앞서 캡핑된 제1 폴리실리콘층(123)으로 형성된 라인 패턴과 수직한 방향으로 게이트 라인이 형성된다. 이때, 자기 정렬식으로 라인 패턴의 제1 폴리실리콘층(123)도 함께 패터닝된다. 따라서, 전 단계의 라인 패턴과 게이트 라인이 교차하는 격자점, 즉, 게이트 전극 영역에서 게이트 라인은 제2 폴리실리콘층(181) 외에 게이트 절연막과 제2 폴리실리콘층(181) 사이에 존재하는 제1 폴리실리콘층 패턴을 더 구비한다.

【발명의 효과】

<31> 이상에서 예시된 본 발명에 따르면, 제1 폴리실리콘층 식각으로 라인 패턴을 형성하는 단계에서 게이트 절연막과 충분한 식각비를 가지도록 하여 주변의 게이트 절연막 식각량이 줄어든다. 또한, 스페이서가 없어 라인 패턴 주변의 열산화막 형성 단계에서 제1 폴리실리콘층 주변부가 산화되고 주변의 게이트 절연막도 두꺼워진다. 캡핑막 두께가 얇고, 스페이서가 없어 인산 습식 식각의 시간을 줄이고 이 시간 동안 산화막이 식각 되는 것을 최소화할 수 있다. 따라서, 종래와 같이 제1 폴리실리콘층 패턴 주변에서 게이트 절연막이 얇게 형성되어 게이트 라인과 매몰된 불순물 도핑층 사이의 절연 파괴 위험을 줄일 수 있다.

<32> 또한, 절연 파괴의 위험이 적으므로 라인 패턴 양측에 열산화막을 형성하는 단계에서 열산화막을 두껍게 형성할 필요가 없어 공정 시간을 줄이고, 열공정을 통한 불순물 확산을 줄여 채널 펀치 스루(punch through)도 방지할 수 있다.

<33> 그리고, 스페이서를 형성하는 공정 단계가 없어져 공정이 단순화되고, 캡핑막이 얇아져 파티클 발생율이 낮아진다.

<34> 또한, 본 발명에서 실시예와 같이 유기 반사 방지막을 사용할 경우, 실리콘 산화질화막 같은 불안정한 무기 반사 방지막에 기인하는 파티클 발생을 줄일 수 있다. 그리고, 무기 반사 방지막과 캡핑용 질화막이 반응하여 새로운 블로킹층을 형성하고 후속 단계에서 블로킹층 위로 제2 폴리실리콘층이 적층되고 패터닝되면서 제1 폴리실리콘층이 함께 패터닝 될 때 블로킹층에 의해 제1 폴리실리콘층이 부분적으로 잔류하여 게이트 라인을 단락시키는 현상을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 게이트 절연막을 형성하는 단계,
상기 게이트 절연막 위에 제1 도전층, 캡핑막을 차례로 적층하는 단계,
상기 캡핑막 위로 포토레지스트 패턴을 형성하고 이를 식각 마스크로 상기
캡핑막, 제1도전층을 식각하여 캡핑된 제1 도전층 라인 패턴을 형성하는 단계,
상기 라인 패턴을 이온주입 마스크로 기판에 이온주입을 실시하는 단계,
상기 라인 패턴을 제외한 기판 상에 열산화막을 형성하여 상기 열산화막 아
래 매몰된 도핑층을 위치시키는 단계,
상기 라인 패턴의 캡핑막을 제거하는 단계,
캡핑막이 제거된 상기 라인 패턴 위로 제2 도전층을 적층하고 상기 라인 패
턴의 상기 제1 도전층을 함께 패터닝하여 게이트 전극을 포함하는 게이트 라인을
형성하는 단계를 구비하여 이루어지는 반도체 롬 장치 형성 방법.

【청구항 2】

제 1 항에 있어서,
상기 캡핑막 위에 반사 방지막을 적층하는 단계가 더 구비되는 것을 특징으
로 하는 반도체 롬 장치 형성 방법.

【청구항 3】

제 2 항에 있어서,
상기 반사 방지막은 유기 반사 방지막이며,

상기 라인 패턴을 형성하는 단계에 이어서 상기 포토레지스트 패턴과 함께 제거되는 것을 특징으로 하는 반도체 롬 장치 형성 방법.

【청구항 4】

제 1 항에 있어서,

상기 제1 도전층과 제2 도전층은 폴리실리콘으로 이루어지는 것을 특징으로 하는 반도체 롬 장치 형성 방법.

【청구항 5】

제 1 항에 있어서,

상기 캡핑막은 실리콘 질화막으로 이루어지는 것을 특징으로 하는 반도체 롬 장치 형성 방법.

【청구항 6】

제 1 항에 있어서,

상기 캡핑막의 패터닝을 위해서 캡핑막 위에 실리콘 산화막 하드 마스크를 더 적층하고, 상기 캡핑막 제거 전에 상기 하드 마스크를 제거하는 단계가 더 구비되는 것을 특징으로 하는 반도체 롬 장치 형성 방법.

【청구항 7】

제 1 항에 있어서,

상기 이온주입은 10^{14} 이온/cm² 이상의 고도즈(dose)량으로 실시하는 것을 특징으로 하는 반도체 롬 장치 형성 방법.

【청구항 8】

제 1 항에 있어서,

상기 이온주입 단계에서는 n형 불순물 이온 주입을 실시하는 것을 특징으로 하는 반도체 롬 장치 형성 방법.

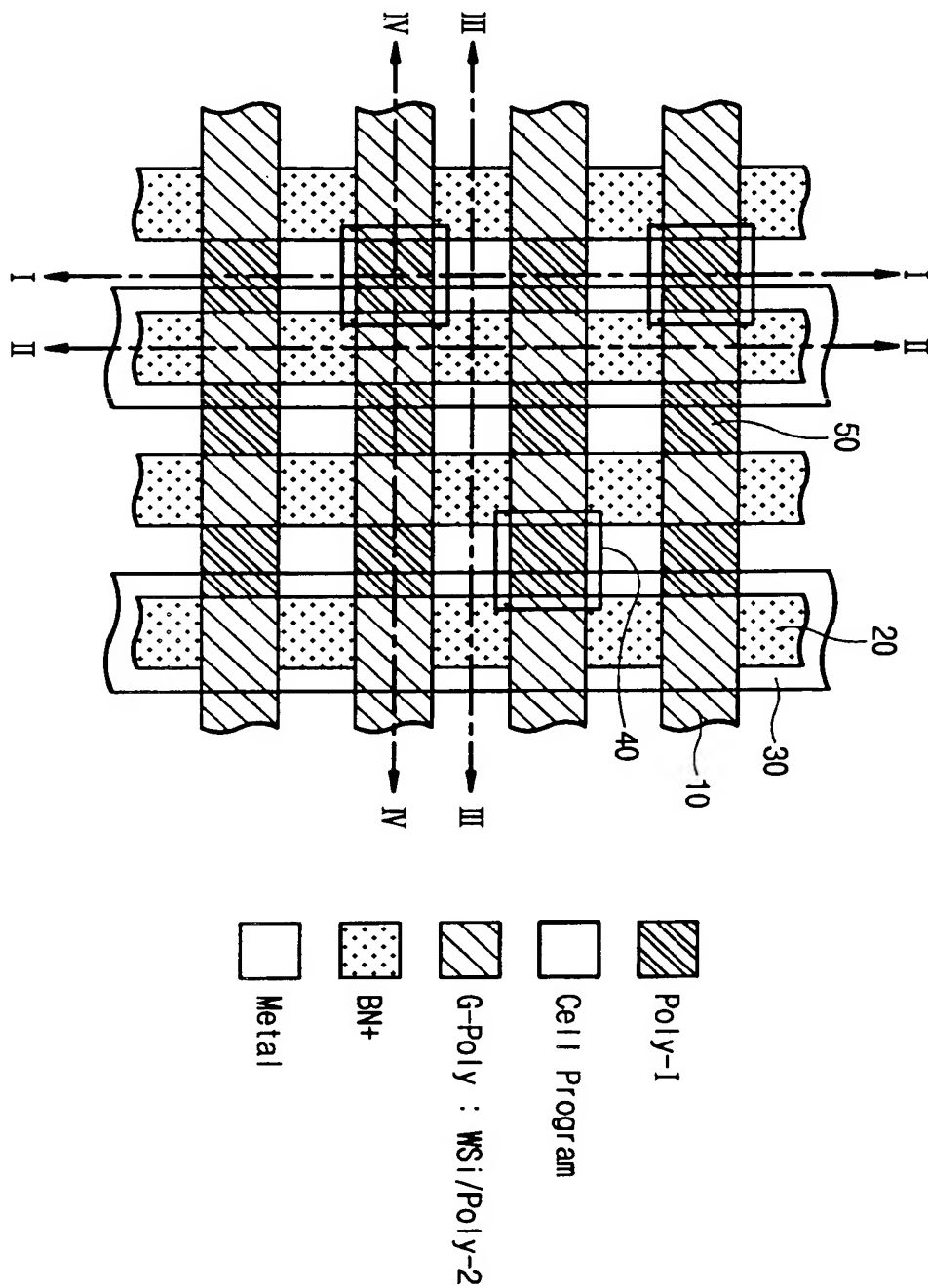
【청구항 9】

제 1 항에 있어서,

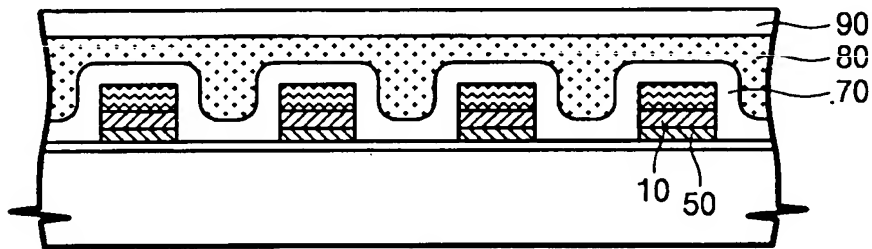
상기 게이트 라인을 형성하는 단계에 이어 프로그래밍 마스크를 이용한 이온주입 마스크를 형성하고, 상기 게이트 전극 아래인 채널 영역에 프로그래밍 이온주입을 실시하는 단계가 더 구비되는 것을 특징으로 하는 반도체 롬 장치 형성 방법.

【도면】

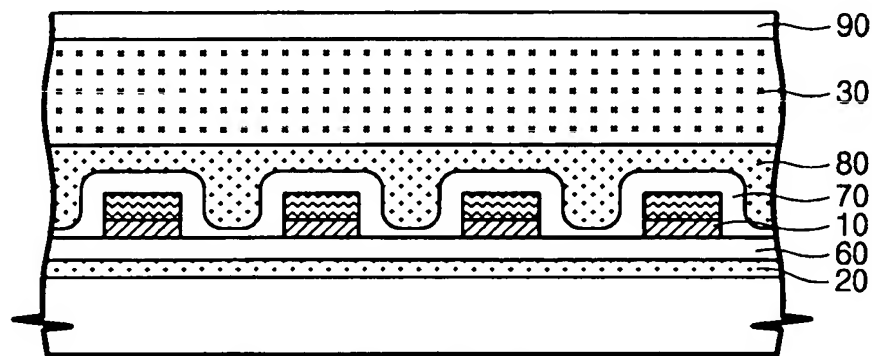
【도 1】



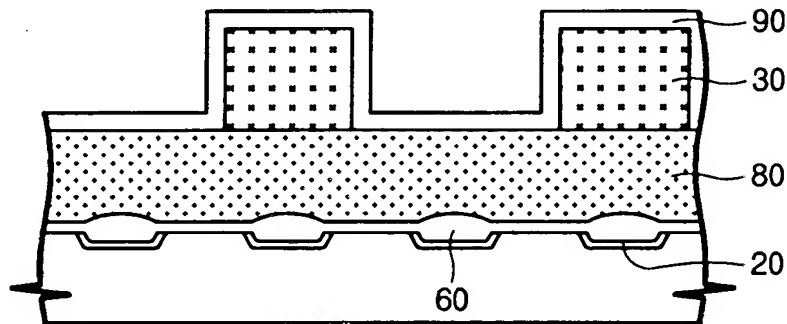
【도 2】



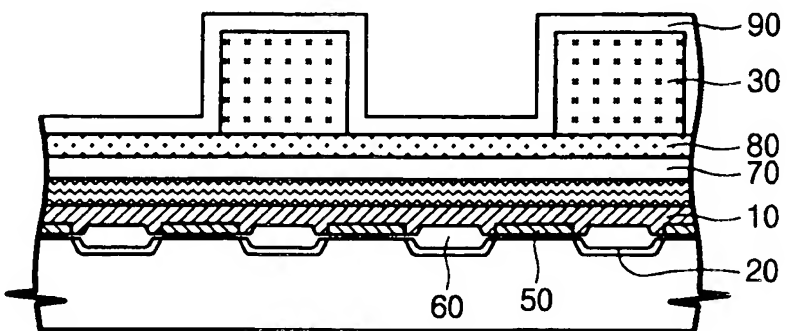
【도 3】



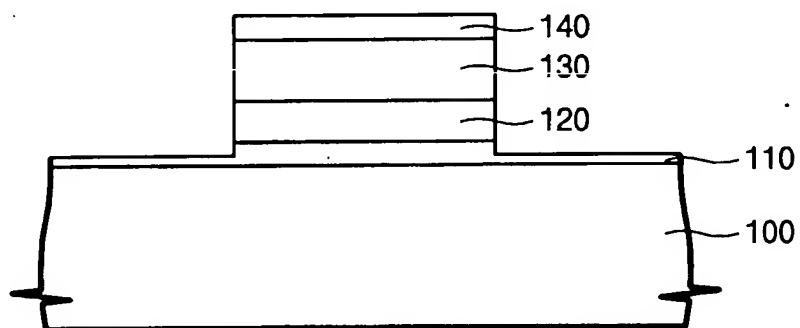
【도 4】



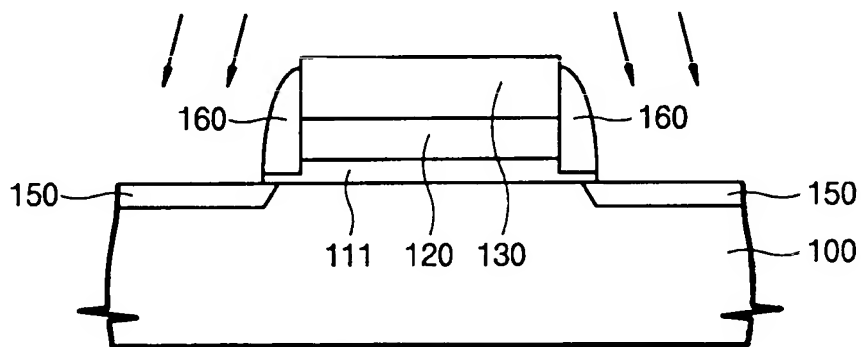
【도 5】



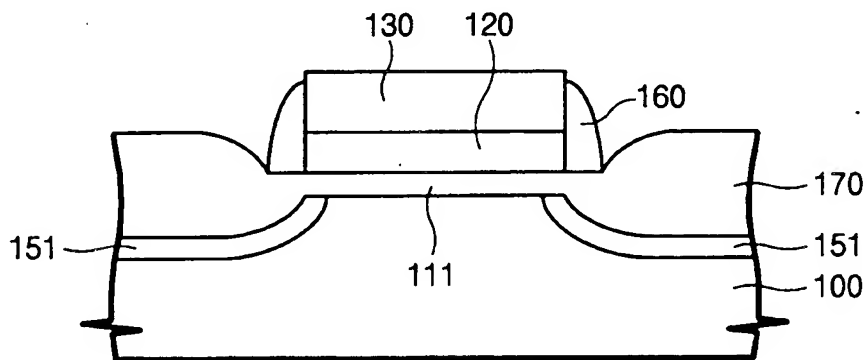
【도 6】



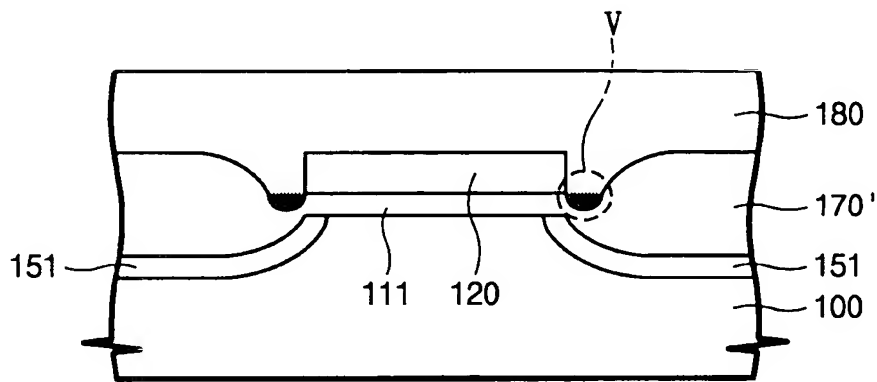
【도 7】



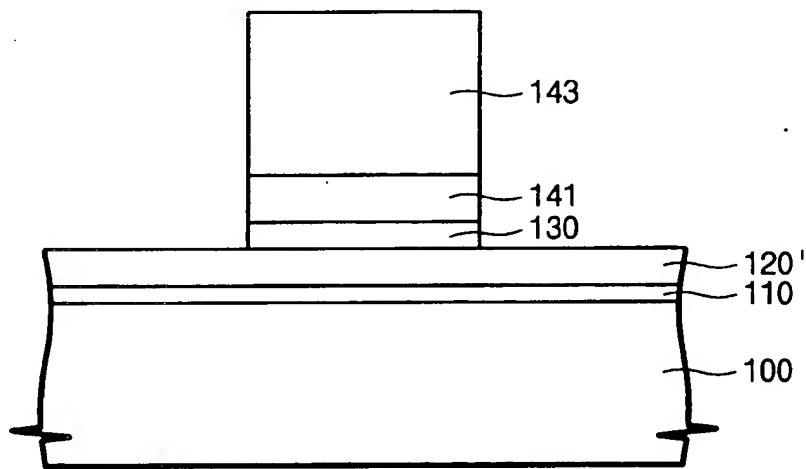
【도 8】



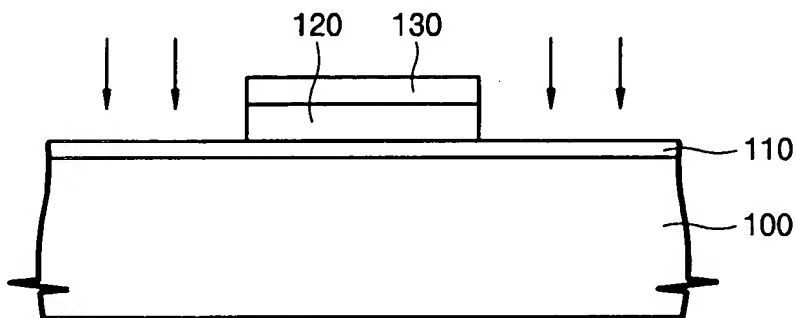
【도 9】



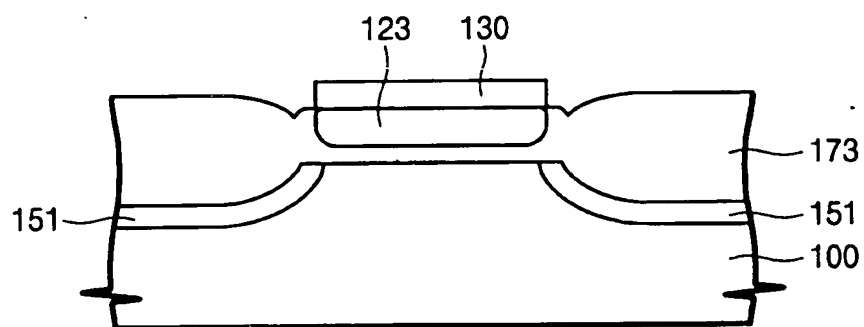
【도 10】



【도 11】



【도 12】



【도 13】

